

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-051279  
 (43)Date of publication of application : 20.02.1998

(51)Int.Cl. H03K 3/289  
 H03K 3/286  
 H03K 19/086

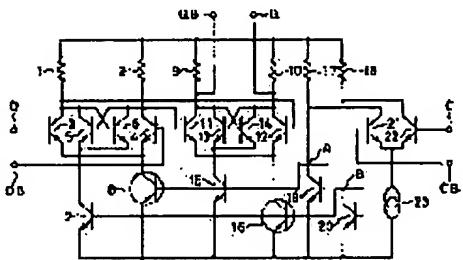
(21)Application number : 08-220371 (71)Applicant : NEC CORP  
 (22)Date of filing : 02.08.1996 (72)Inventor : UEMURA MICHIIHIKO

## (54) FLIP-FLOP CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent data-through by decreasing a size of a master transistor(TR) more than a slave TR for decreasing a latch time of a master side latch hold circuit, thereby forming an interval in latch states of the both.

**SOLUTION:** A size of transistors(TRs) 8, 16 is selected smaller to be 80% of a size of TRs 7, 15, 19, 20. Thus, a collector current of the TRs 8, 16 is only 80% of a collector current of the TRs 7, 15. Thus, a gradient of leading and trailing of a collector current of the current source TR 8, relating to the master side latch is slower than that of the TR 7. Thus, the time in the latch state of the master side latch hold circuit is decreased, and the time in the hold state is extended. Similarly, the latch time of the slave side latch hold circuit is decreased, and the time of the hold state is extended. Thus, the interval between latch states of the master side and the slave side is provided, and data-through of the both is prevented.



## LEGAL STATUS

[Date of request for examination]	02.08.1996
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2933022
[Date of registration]	28.05.1999
[Number of appeal against examiner's decision of rejection]	

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right] 28.05.2004

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-51279

(43)公開日 平成10年(1998)2月20日

(51)Int.Cl.<sup>5</sup>  
H 03 K 3/289  
3/286  
19/086

識別記号 庁内整理番号

F I  
H 03 K 3/289  
3/286  
19/086

技術表示箇所  
A  
F

審査請求 有 請求項の数10 FD (全 9 頁)

(21)出願番号 特願平8-220371

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(22)出願日 平成8年(1996)8月2日

(72)発明者 植村 吾彦

東京都港区芝五丁目7番1号 日本電気株  
式会社内

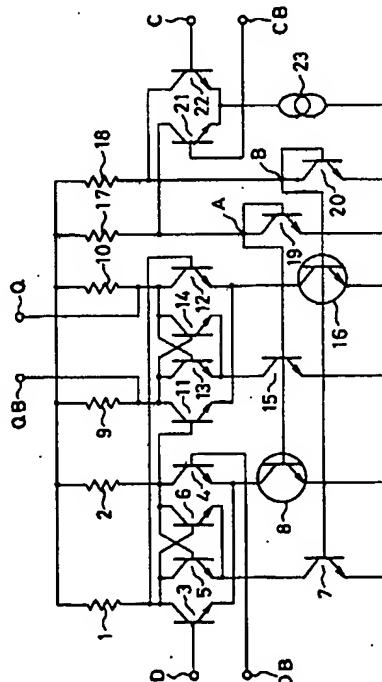
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 フリップフロップ回路

(57)【要約】

【課題】1Vで動作する縦型1段ECL構成のマスタスレーブ型フリップフロップ回路において、データスルーを防止する。

【解決手段】データラッチ及びホールド用の第1、及び第2の差動対トランジスタと、該第1、及び第2の差動対トランジスタに対してラッチ及びホールドに応じて電流を供給する電流源を備えてなるマスタラッチホールド回路と、前記マスタラッチホールド回路の出力のラッチ及びホールド用の第3、及び第4の差動対トランジスタと、該第3、及び第4の差動対トランジスタに対してラッチ及びホールドに応じて電流を供給する電流源を備えてなるスレーブラッチホールド回路と、を含むフリップフロップ回路において、前記マスタラッチホールド回路の電流源が、データラッチ時の電流値と、ホールド時の電流値とが、互いに異なるように構成する。



## 【特許請求の範囲】

【請求項1】データラッチ及びホールド用の第1、及び第2の差動対トランジスタと、該第1、及び第2の差動対トランジスタに対してラッチ及びホールドに応じて電流を供給する電流源を備えてなるマスタ側ラッチホールド回路と、

前記マスタ側ラッチホールド回路の出力のラッチ及びホールド用の第3、及び第4の差動対トランジスタと、該第3、及び第4の差動対トランジスタに対してラッチ及びホールドに応じて電流を供給する電流源を備えてなるスレーブ側ラッチホールド回路と、

を含むフリップフロップ回路において、

前記マスタ側ラッチホールド回路の電流源が、データラッチ時の電流値と、ホールド時の電流値とが、互いに異なるように構成されたことを特徴とするフリップフロップ回路。

【請求項2】前記スレーブ側ラッチホールド回路の電流源が、ラッチ時の電流値と、ホールド時の電流値とが、互いに異なるように構成されたことを特徴とする請求項1記載のフリップフロップ回路。

【請求項3】前記マスタ側ラッチホールド回路が、データラッチに係わる電流源の電流値が、ホールドに係わる電流源の電流値よりも小となるように構成したことを特徴とする請求項1記載のフリップフロップ回路。

【請求項4】前記スレーブ側ラッチホールド回路が、ラッチに係わる電流源の電流値が、ホールドに係わる電流源の電流値よりも小となるように構成したことを特徴とする請求項1記載のフリップフロップ回路。

【請求項5】ラッチに係わる電流源のトランジスタのサイズが、ホールドに係わる電流源のトランジスタのサイズよりも小とされたことを特徴とする請求項1～4のいずれか一に記載のフリップフロップ回路。

【請求項6】第1、及び第2の差動対トランジスタと、負荷素子と、前記第1及び第2の差動対トランジスタにそれぞれ電流を供給する第1、及び第2の電流源トランジスタと、を備え、入力側が正相、逆相のデータを入力するデータ入力端子に接続されたECL縦積み1段構成のマスタ側ラッチホールド回路と、

第3、及び第4の差動対トランジスタと、負荷素子と、前記第3、及び第4の差動対トランジスタにそれぞれ電流を供給する第3、及び第4の電流源トランジスタとを備え、入力側が前記マスタ側ラッチホールド回路の出力側に接続され、且つ出力側をデータ出力端子に接続されたECL縦積み1段構成のスレーブ側ラッチホールド回路と、

ダイオード接続型トランジスタと、負荷素子とを備え、前記ダイオード接続型トランジスタのコレクタより前記マスタ側及びスレーブ側ラッチホールド回路の第1から第4の電流源トランジスタのベースをそれぞれバイアスする第1、及び第2のバイアス回路と、

正相及び逆相のクロック信号をベースに入力し且つエミッタを共通接続した第5の差動対トランジスタと、該第5の差動対トランジスタのエミッタに接続される定電流源と、を備え、該第5の差動対トランジスタのコレクタよりそれぞれ前記第1、第2のバイアス回路を交互にプルダウンする制御回路と、

を備え、

前記クロック信号により前記マスタ側及びスレーブ側ラッチホールド回路の前記第1、第2、及び第3、第4の電流源トランジスタを選択的にオン／オフする、フリップフロップ回路において、

前記第1の電流源トランジスタの電流値と前記第2の電流源トランジスタの電流値が異なるように構成されたことを特徴とするフリップフロップ回路。

【請求項7】前記第3の電流源トランジスタの電流値と前記第4の電流源トランジスタの電流値が異なることを特徴とする請求項6記載のフリップフロップ回路。

【請求項8】前記第1の電流源トランジスタのサイズと前記第2の電流源トランジスタのサイズが異なることを特徴とする請求項6記載のフリップフロップ回路。

【請求項9】前記第1、第2の電流源トランジスタにエミッタに抵抗が接続され、各々の抵抗値が異なることを特徴とする請求項6記載のフリップフロップ回路。

【請求項10】前記第3、第4の電流源トランジスタにエミッタに抵抗が接続され、各々の抵抗値が異なることを特徴とする請求項9記載のフリップフロップ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はフリップフロップ回路に関し、特に電源電圧1V程度で動作するエミッタ結合論理(ECL)構成のマスタスレーブ型フリップフロップ回路においてデータスルーを防止する機能を有するフリップフロップ回路に関する。

## 【0002】

【従来の技術】電源電圧略1V程度で動作するフリップフロップ回路の構成の一例を図4に示す(特願平7-261168号参照)。

【0003】図4を参照すると、このフリップフロップ回路は、抵抗1、2、トランジスタ3～8よりなるECL縦積み1段のマスタ側ラッチホールド回路と、抵抗9、10、トランジスタ11～16よりなるスレーブ側ラッチホールド回路と、抵抗17、18、トランジスタ19、20からなるラッチホールド回路の電流源をバイアスする回路と、トランジスタ21、22、電流源23からなるクロック信号によりバイアス回路を制御する回路と、を備えて構成されている。

【0004】次に、図4に示したフリップフロップ回路の動作を説明する。例えば電源電圧を1Vとし、クロック入力端子C、CBより正相、逆相クロックを入力した場合において、トランジスタ19、20のコレクタ端子

である節点A、B、トランジスタ7、8、15、16のコレクタ電流のタイムチャートを図5に示す。

【0005】図5に示す例では、内部節点A、BにHigh : 0.8V、Low : (0.8 -  $\alpha$ ) Vが現れるよう設定し、 $\alpha$  = 0.2Vとすると、正相クロック入力端子CがHighの時、内部節点AはHigh : 0.8Vとなり、ダイオード接続されたトランジスタ19はオンし、トランジスタ8、15のベースもともに0.8Vとなり、トランジスタ8、15はともにオンする。逆相クロック入力端子CBがLowの時、内部節点BはLow : 0.6Vとなり、ダイオード接続されたトランジスタ20はオフし、トランジスタ7、16のはオフする。

【0006】逆に、正相クロック入力端子CがLowの時、内部節点AはLow : 0.6Vとなり、トランジスタ8、15はオフし、逆相クロック入力端子CBがHighの時、内部節点BはHigh : 0.8Vとなり、トランジスタ7、16はオンする。

【0007】このため、正相クロック入力端子CがHigh、逆相クロック入力端子CBがLowの時、マスター側ラッチホールド回路のトランジスタ8がオンし、トランジスタ7はオフとなるので、データ入力D、DBをベース入力とする差動対トランジスタ3、6の共通エミッタにトランジスタ8から電流が供給され、データ入力端子D、DBより入力されるデータをラッチする。また、この時、スレーブ側ラッチホールド回路のトランジスタ15がオンし、トランジスタ16はオフとなっているので、マスター側ラッチホールド回路の出力をベース入力とする差動対トランジスタ11、12の共通エミッタに電流は供給されず、ホールド用の差動対トランジスタ13、14の共通エミッタに電流が供給されて、ホールド状態となる。

【0008】逆に、正相クロック入力端子CがLow、逆相クロック入力端子CBがHighの時マスター側ラッチホールド回路はホールド状態、スレーブ側ラッチホールド回路はラッチ状態となり、フリップフロップ動作する。

【0009】このフリップフロップ回路はある回路定数にてT-F F (トグル型フリップフロップ)として分周動作させた場合の動作周波数は、0.41GHz～1.56GHzとなった。高周波側で動作が制限されるのは、トランジスタのスイッチング速度の限界によるもので、低周波側で動作が制限されるのは、クロック信号の立ち上がり時間及び立ち下り時間が大きくなることにより、クロック信号の立ち上がりエッジ、立ち下りエッジにおいて、マスター側ラッチホールド回路、スレーブ側ラッチホールド回路の双方ともラッチ状態になり、データスルーを生じたためであった。

【0010】一方、データスルーを防止する擬型2段ECL構成のマスター/スレーブ型フリップフロップ回路構成を図6に示す(特願平7-86127号)。

【0011】図6を参照して、このフリップフロップ回路は、クロック入力端子C、データ入力端子Dと、データの基準電圧端子VR1と、出力端子Q、QBと、トランジスタ24～43、抵抗44～53と、4つの定電流源54～57とから構成される。トランジスタ27、30、トランジスタ28、29、トランジスタ32、33はそれぞれエミッタ同士が共通接続されマスター側の第1～第3の差動トランジスタを(それぞれ「第1～第3の差動回路」という)構成し、トランジスタ25、26はマスター側のエミッタフォロワ回路を構成し、抵抗48、49はエミッタフォロワ抵抗であり、抵抗44、45はマスター側のコレクタ抵抗である。第1の定電流源55は、第3の差動対トランジスタ32、33の共通接続されたエミッタとVEE電源端子間に接続され、定電流ISC1を流す。

【0012】また、トランジスタ36、39、トランジスタ37、38、トランジスタ40、41はそれぞれエミッタ同士が共通接続されスレーブ側の第4～第6の差動対トランジスタ(それぞれ「第4～第6の差動回路」という)を構成し、トランジスタ34、35はスレーブ側のエミッタフォロワ回路を構成し、抵抗50、51はエミッタフォロワ抵抗であり、抵抗46、47はスレーブ側のコレクタ負荷抵抗である。第2の定電流源57は、第6の差動対トランジスタ40、41の共通接続されたエミッタとVEE電流端子の間に接続され、定電流ICS1を流す。

【0013】トランジスタ42、43は出力段のエミッタフォロワトランジスタであり、抵抗52、53は出力のエミッタフォロワ抵抗である。ベースをクロック入力端子Cに接続したトランジスタ24はエミッタフォロワ回路を構成し、第4の定電流源54はエミッタフォロワ電流源である。ベースに基準電位VR1が接続されているトランジスタ31は、トランジスタ24と同一特性を有する。トランジスタ32はトランジスタ33と同一特性を有する2個のトランジスタ31-1、32-2のコレクタ、ベース、エミッタ同士をそれぞれ接続して構成され、トランジスタ40はトランジスタ41と同一特性を有する2個のトランジスタ40-1、40-2のコレクタ、ベース、エミッタ同士をそれぞれ接続して構成されている。VCC電源は高電位側の電源が印加され、VEE電源端子は低電位側の電源電圧が印加され、第3、第4の定電流源54、56には互いに等しい定電流ICS2が流される。

【0014】このフリップフロップ回路では、第1の定電流源55の電流はトランジスタ32-1、32-2に分流され、第2の定電流源57の電流はトランジスタ15-1、15-2に分流されるため、次式(1)が成立つ。

【0015】

## ICS1/2

$$= I_e[\exp\{q(V_f - \Delta V_f)/nkT\} - 1] \quad \dots(1)$$

【0016】第3の差動対のトランジスタ、トランジスタ32の順方向電圧V<sub>f</sub>は、トランジスタ33のV<sub>f</sub>に比べ△V<sub>f</sub>=約18mV低めに設定される。また、第6の差動対のトランジスタ、トランジスタ40のV<sub>f</sub>はトランジスタ41のV<sub>f</sub>に比べ△V<sub>f</sub>=約18mV低めに設定される。基準電圧VR1をクロック信号Cの振幅の中心に設定すると、マスク側のクロックが入力される差動回路がクロックの振幅の中心より18mV低いレベルをしきい値とし、スレーブ側のクロックが入力される差動回路がクロックの振幅の中心より18mV高いレベルをしきい値となり、マスク側のラッチ回路とスレーブ側のラッチ回路が同時に動作状態になることを防ぎ、データスルーを防止できた。

## 【0017】

【発明が解決しようとする課題】しかしながら、前述した特願平7-261168号に提案される電源電圧1V程度で動作するECL構成のマスクスレーブ型フリップフロップ回路は、データスルーを防ぐ対策を備えておらず、データスルーを生じやすく、低周波で誤動作するという問題点があった。

【0018】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、好ましくは1Vで動作する縦型1段ECL構成のマスクスレーブ型フリップフロップ回路において、データスルーを防止するフリップフロップ回路を提供することにある。

## 【0019】

【課題を解決するための手段】前記目的を達成するため、本発明のフリップフロップ回路は、データラッチ及びホールド用の第1、及び第2の差動対トランジスタと、該第1、及び第2の差動対トランジスタに対してラッチ及びホールドに応じて電流を供給する電流源を備えてなるマスク側ラッチホールド回路と、前記マスク側ラッチホールド回路の出力のラッチ及びホールド用の第3、及び第4の差動対トランジスタと、該第3、及び第4の差動対トランジスタに対してラッチ及びホールドに応じて電流を供給する電流源を備えてなるスレーブ側ラッチホールド回路と、を含むフリップフロップ回路において、前記マスク側ラッチホールド回路の電流源が、データラッチ時の電流値と、ホールド時の電流値とが、互いに異なるように構成されたことを特徴とする。

【0020】本発明においては、前記スレーブラッチホールド回路の電流源が、ラッチ時の電流値と、ホールド時の電流値とが、互いに異なるように構成したことを特徴とする。

【0021】また、本発明においては、前記マスクラッチホールド回路が、データラッチ時の電流源の電流値が、ホールド時の電流源の電流値よりも小となるように

構成したことを特徴とする。さらに、本発明においては、前記スレーブラッチホールド回路が、ラッチ時の電流源の電流値が、ホールド時の電流源の電流値よりも小となるように構成したことを特徴とする。

【0022】そして、本発明においては、ラッチ時に電流源となるトランジスタのサイズが、ホールド時に電流源となるトランジスタのサイズよりも小とされたことを特徴とする。

## 【0023】

【発明の実施の形態】本発明の好ましい実施の形態について図面を参照して以下に説明する。本発明は、その好ましい実施の形態において、図1を参照すると、第1、及び第2の差動対トランジスタ(3、4、及び5、6)と、負荷抵抗素子(1、2)と、第1及び第2の差動対トランジスタにそれぞれ電流を供給する第1、及び第2の電流源トランジスタ(8、7)とを備え、入力側が正相、逆相のデータを入力するデータ入力端子(D、D<sub>B</sub>)に接続されたECL縦積み1段構成のマスク側ラッチホールド回路と、第3、及び第4の差動対トランジスタ(11、12、及び14、14)と、負荷抵抗素子(9、10)と、第3、及び第4の差動対トランジスタにそれぞれ電流を供給する第3、及び第4の電流源トランジスタ(16、15)とを備え、入力側がマスク側ラッチホールド回路の出力側に接続され、且つ出力側をデータ出力端子(Q、Q<sub>B</sub>)に接続されたECL縦積み1段構成のスレーブ側ラッチホールド回路と、を備えている。

【0024】本発明は、その好ましい実施の形態において、図1を参照すると、さらに、コレクタ・ベース間を短絡したトランジスタ(19、20)と、負荷抵抗素子(17、18)とを備え、これらのトランジスタ(19、20)のコレクタよりマスク側及びスレーブ側ラッチホールド回路の第1、第4、及び第2、第3の電流源トランジスタ(8、15、及び7、16)のベースをそれぞれバイアスする第1、及び第2のバイアス回路を備えている。

【0025】本発明は、その好ましい実施の形態において、図1を参照すると、さらに、正相及び逆相のクロック信号(C、C<sub>B</sub>)をベースに入力し且つエミッタを共通接続した第5の差動対トランジスタ(21、22)と、この第5の差動対トランジスタの共通エミッタに接続される定電流源(23)と、を備え、この第5の差動対トランジスタ(21、22)のコレクタよりそれぞれ第1、第2のバイアス回路を交互にブレーカーする制御回路を備えている。

【0026】そして、本発明の実施の形態においては、クロック信号(C、C<sub>B</sub>)によりマスク側及びスレーブ側ラッチホールド回路の電流源トランジスタ(7、8、及び15、16)を選択的にオン/オフするものであり、第1の電流源トランジスタ(8)の電流値と第2の

電流源トランジスタ(7)の電流値が異なるように構成されたことを特徴とするものである。

【0027】本発明は、その好ましい実施の形態において、スレーブ側ラッチホールド回路の第3の電流源トランジスタ(16)の電流値と第4の電流源トランジスタ(15)の電流値が異なる。

【0028】また、本発明は、その好ましい実施の形態において、第1の電流源トランジスタ(8)のサイズと前記第2の電流源トランジスタ(7)のサイズが異なる。

【0029】さらに、本発明は、別の実施の形態において、図2を参照すると、第1、第2の電流源トランジスタのエミッタに抵抗(図3では58)が接続され、各々の抵抗値が異なるように構成してもよい。

【0030】また、本発明は、別の実施の形態において、前記第3、第4の電流源トランジスタのエミッタに抵抗(図3では59)が接続され、各々の抵抗値が異なるように構成してもよい。

【0031】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例を図面を参照して以下に詳細に説明する。

【0032】【実施例1】図1は、本発明の第1の実施例のフリップフロップ回路の回路構成を示す図である。図1を参照して、本実施例のフリップフロップ回路の回路接続は、基本的に、従来技術として図4に示したフリップフロップ回路の構成と同様とされている。しかし、本実施例においては、差動対トランジスタの電流源として作用するトランジスタのうちトランジスタ7、15、19、20のトランジスタサイズは同一とされ、トランジスタ8、16のトランジスタサイズは、トランジスタ7、15、19、20の好ましくは略80%とされている。

【0033】本実施例のマスタスレーブ型フリップフロップ回路の動作について説明する。フリップフロップ回路としての基本動作は、図4に示したフリップフロップ回路と同様とされるが、本実施例は、図4の従来技術で問題とされたデータスルーを確実に防止するように動作することを特徴としている。本実施例では、トランジスタ8、16のトランジスタサイズがトランジスタ7、15、19、20のトランジスタサイズの80%と小さいため、トランジスタ8、16のコレクタ電流は、トランジスタ7、15のトランジスタコレクタ電流の80%しか流れず、その動作信号波形を示すタイムチャートは、図2に示すようなものとなる。

【0034】マスタ側のラッチに係わる電流源トランジスタ8のコレクタ電流は、トランジスタ7のコレクタ電流と同時に立ち上がり、及び立ち下がり、定常電流が80%小さい分、立ち上がりの傾きは僅か緩く、同様に、立ち下がりの傾きも僅かに緩い。立ち上がりは傾きが緩い分遅く、立ち下がりは定常電流が80%小さい分遅く

なる。

【0035】このため、本実施例においては、マスタ側ラッチホールド回路のラッチ状態の時間は短くなり、ホールド状態の時間は長くなる。同様に、スレーブ側ラッチホールド回路のラッチ状態の時間も短くなり、ホールド側の時間は長くなる。

【0036】このようにして、マスタ側のラッチ状態とスレーブ側のラッチ状態との間に時間との間隔ができ、マスタ側、スレーブ側双方が共にラッチ状態にはならずデータスルーを防止できる。

【0037】従来技術として図4を参照して説明したフリップフロップ回路と同様の回路定数にて、トランジスタ6、16のサイズのみをトランジスタ7、15、19、20の80%とした場合のトグル接続した回路の分周周波数は、0.14GHz～1.50GHzとなり、最高動作周波数をほぼ同様に保ちつつ、最低動作周波数を1/3(=0.14/0.41)にまで小さく(すなわち動作周波数範囲を拡大)することが可能となる。

【0038】【実施例2】図3に、本発明の第2の実施例に係るフリップフロップ回路の構成を示す。本実施例も前述した図1のフリップフロップ回路と同様にフリップフロップ動作をするが、マスタ側のラッチに係わる電流源が、マスタ側のホールドに係わる電流源トランジスタ7と同じサイズのトランジスタ8と抵抗58とで構成され、スレーブ側のラッチに係わる電流源がスレーブ側のホールドに係わる電流源トランジスタ16と同じサイズのトランジスタ16と抵抗59とで構成されている。

【0039】トランジスタ8の順方向電圧Vfは、抵抗58による電圧降下分△Vr分小さくなり、トランジスタ8のオン時の電流(コレクタ電流)は、トランジスタ7のオン時の電流(コレクタ電流)よりも小さくなる。

【0040】同様に、スレーブ側のトランジスタ16のオン時の電流はトランジスタ15のオン時の電流よりも小さくなり、図2に示したタイムチャートと同様に動作しデータスルーを防ぐことが可能となる。

【0041】本実施例では、同一サイズのトランジスタで、トランジスタ7、8、15、16を構成しているため、第1の実施例のように80%のサイズのトランジスタを準備する必要が無く、同一のトランジスタが配置されたマスタスライス方式の半導体集積回路装置への適用が容易となる。また、図3には、マスタ側及びスレーブ側のラッチに係わる電流源トランジスタのエミッタに抵抗を接続した例を示したが、ラッチとホールドの双方の電流源トランジスタのエミッタ抵抗を付加し、これらの抵抗値が異なる(例えばラッチに係わる電流源トランジスタに接続される抵抗の抵抗値が大となる)ようにしてもよい。

【0042】

【発明の効果】以上説明したように、本発明によれば、好ましくは略1Vで動作するフリップフロップ回路のマ

スタ側とスレーブ側のラッチに係わる電流源の電流値をマスタ側とスレーブ側のホールドに係わる電流源の電流値よりも小（例えば80%）としたことにより、データスルーを防止でき、フリップフロップ回路の動作周波数範囲を拡大するという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路構成を示す図である。

【図2】本発明の第1の実施例の動作を説明するためのタイムチャートである。

【図3】本発明の第2の実施例の回路構成を示す図である。

【図4】従来の縦型1段ECL構成のマスタスレーブ型フリップフロップ回路の回路構成を示す図である。

【図5】図4のフリップフロップ回路の動作を説明するためのタイムチャートである。

【図6】データスルー防止を図る従来の縦型2段ECL構成のマスタスレーブ型フリップフロップ回路の回路構成を示す図である。

【符号の説明】

1、2 負荷抵抗

3~6 マスタ側差動対のトランジスタ

7 マスタ側ホールドに係わる電流源トランジスタ

9 マスタ側ラッチに係わる電流源トランジスタ

10 負荷抵抗

11~14 スレーブ側差動対のトランジスタ

15 スレーブ側ホールドに係わる電流源トランジスタ

16 スレーブ側ラッチに係わる電流源トランジスタ

17、18 負荷抵抗

19~20 ブレダウントランジスタ

21、22 差動対トランジスタ

23 電流源

24~26 エミッタフォロワトランジスタ

27~30、32、33 マスタ側の差動対トランジスタ

31 エミッタフォロワトランジスタ

34、35 エミッタフォロワトランジスタ

36~41 スレーブ側の差動対トランジスタ

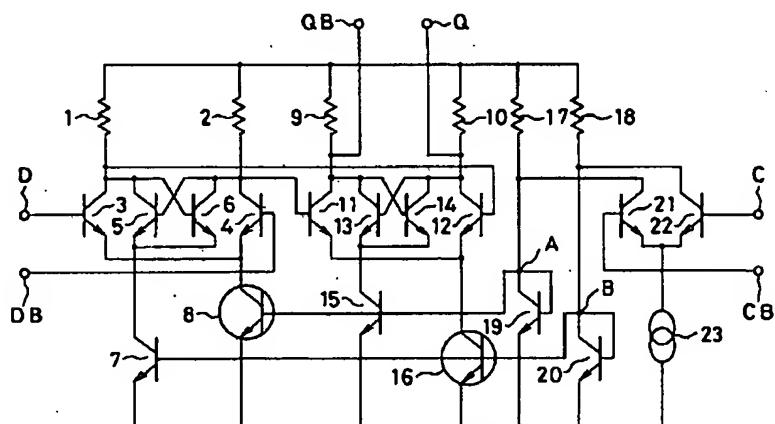
42、43 エミッタフォロワトランジスタ

44~47 負荷抵抗

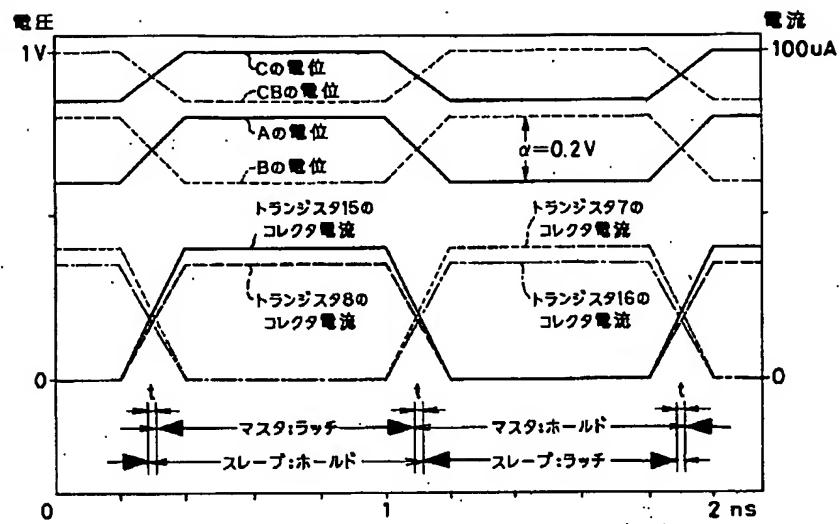
48~53 エミッタフォロワ抵抗

54~57 定電流源

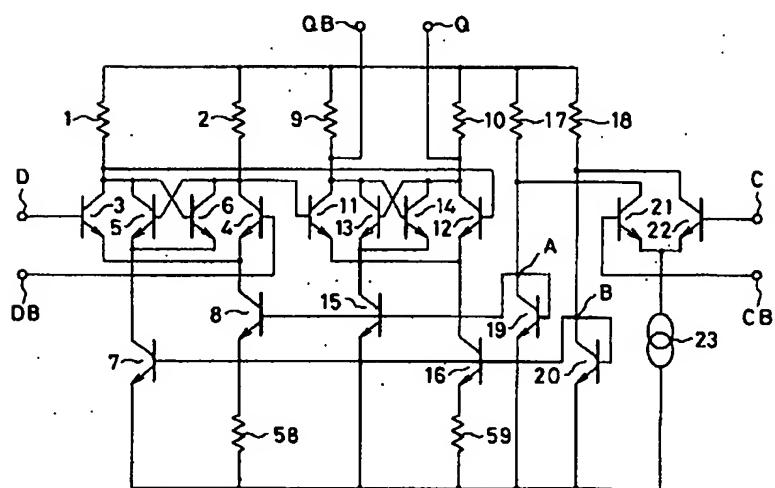
【図1】



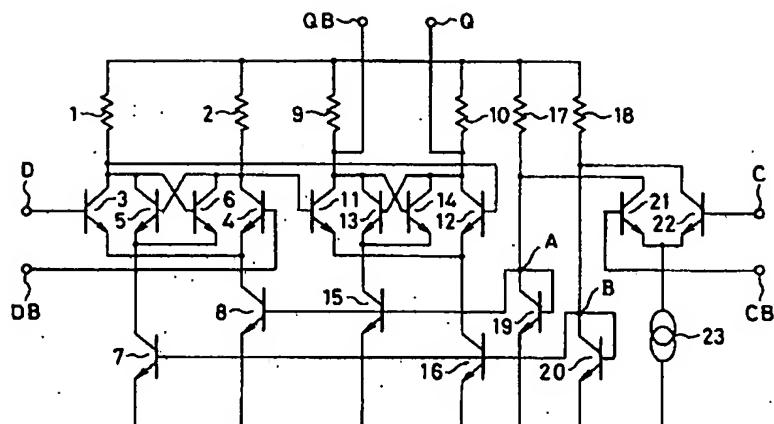
【図2】



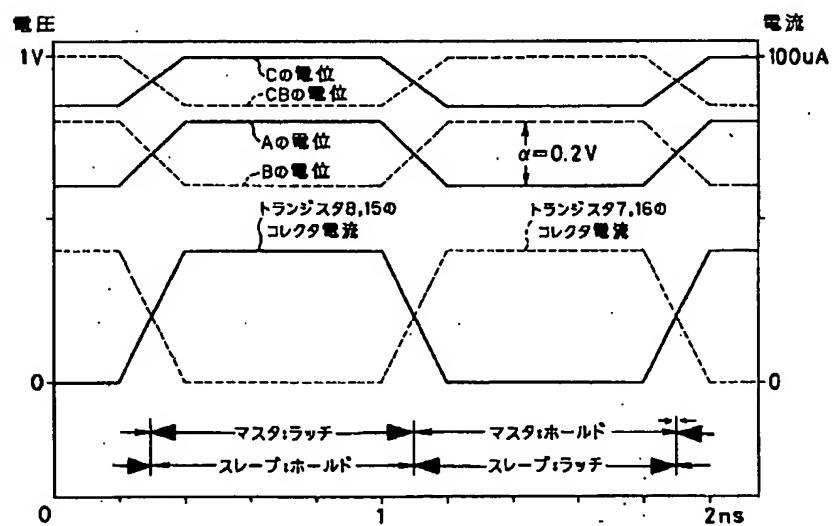
【図3】



【図4】



【図5】



【図6】

